

MANUFACTURE OF THIN FILM TRANSISTOR MATRIX

Patent number: JP6337436

Publication date: 1994-12-06

Inventor: INOUE ATSUSHI

Applicant: FUJITSU LTD

Classification:

- international: G02F1/136; G02F1/1368; H01L21/336; H01L29/78;
H01L29/786; G02F1/13; H01L21/02; H01L29/66; (IPC1-
7): G02F1/136; H01L29/784

- european:

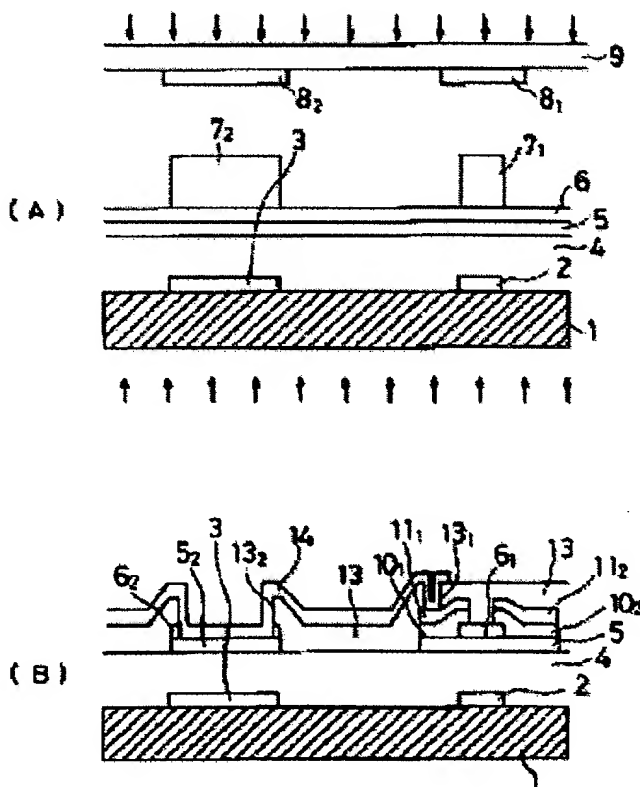
Application number: JP19930125577 19930527

Priority number(s): JP19930125577 19930527

Report a data error here

Abstract of JP6337436

PURPOSE: To provide a manufacturing method of a thin film transistor matrix by which nonuniformity of liquid crystal display is not caused in the manufacturing method of the thin film transistor matrix. **CONSTITUTION:** In a manufacturing method of a thin film transistor matrix having a gate electrode 2, a source electrode 111, a drain electrode 112, a picture element electrode, a storage capacitor electrode 3 and a bus line connected to these, a semiconductor film 52 to form an active layer is left on a gate insulating film 4 on this storage capacitor electrode 3 by leaving a photoresist film 71 used in a process to form a channel protective film 61 of a thin film transistor also on the storage capacitor electrode 3 as a photoresist film 72, and this semiconductor film 52 is used as an etching stopper when a contact hole 132 to form a storage capacitor is formed by etching a protective film 13 formed on this semiconductor film 52.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-337436

(43) 公開日 平成6年(1994)12月6日

(51) Int.Cl.⁵

G 0 2 F 1/136

H 0 1 L 29/784

識別記号

5 0 0

庁内整理番号

9119-2K

9056-4M

F I

H 0 1 L 29/ 78

技術表示箇所

3 1 1 A

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号

特願平5-125577

(22) 出願日

平成5年(1993)5月27日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 井上 淳

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 柏谷 昭司 (外1名)

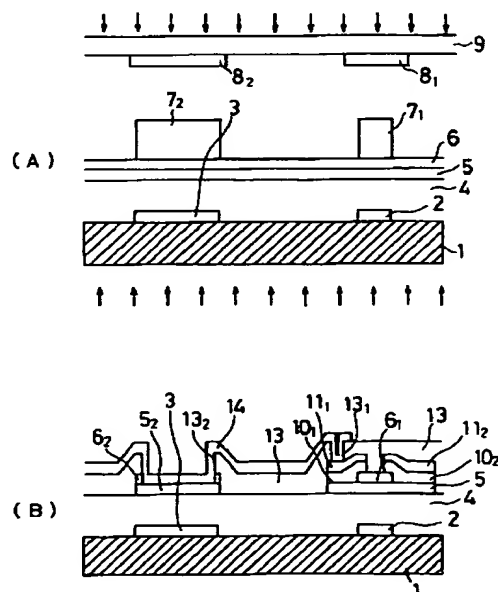
(54) 【発明の名称】 薄膜トランジスタマトリクス of 製造方法

(57) 【要約】

【目的】 薄膜トランジスタマトリクス of 製造方法に関し、液晶表示むらがない薄膜トランジスタマトリクス of 製造方法を提供する。

【構成】 ゲート電極2、ソース電極11₁、ドレイン電極11₂、画素電極、ストレージキャパシタ電極3およびそれらに接続されるバスラインを有する薄膜トランジスタマトリクス of 製造方法において、薄膜トランジスタのチャネル保護膜6₁を形成する工程で用いるフォトレジスト膜7₁をストレージキャパシタ電極3の上にもフォトレジスト膜7₂として残すことによって、このストレージキャパシタ電極3の上のゲート絶縁膜4の上に活性層を形成するための半導体膜5₂を残しておく、この半導体膜5₂を、この半導体膜5₂の上に形成される保護膜13をエッチングして、ストレージキャパシタを形成するためのコンタクトホール13₂をエッチングによって形成する際のエッチングストッパーとする。

本発明 of 薄膜トランジスタマトリクス of 製造方法 of 原理説明図



【特許請求の範囲】

【請求項1】 ゲート電極、ソース電極、ドレイン電極、画素電極、ストレージキャパシタ電極およびそれらに接続されるバスラインを有する薄膜トランジスタマトリクス of 製造方法において、薄膜トランジスタのチャネル保護膜を形成する工程で用いるフォトレジスト膜を該ストレージキャパシタ電極の上に残すことによって、該ストレージキャパシタ電極の上のゲート絶縁膜の上に活性層を形成するための半導体膜を残しておく、該半導体膜を、該半導体膜の上に形成される保護膜をエッチングして該ストレージキャパシタの対向電極を形成するためのコンタクトホールをエッチングによって形成する際のエッチングストッパーとすることを特徴とする薄膜トランジスタマトリクスの製造方法。

【請求項2】 薄膜トランジスタのチャネル保護膜を形成する工程で用いるフォトレジスト膜をストレージキャパシタ電極上に残す方法として、該ストレージキャパシタ電極を露光マスクとして該フォトレジスト膜を露光することを特徴とする請求項1に記載された薄膜トランジスタマトリクスの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶表示装置等に用いる、薄膜トランジスタマトリクスの製造方法に関する。近年、液晶表示装置を情報処理装置の表示装置、TVの表示装置として用いられ、大面積化、精細化することが望まれているが、表示むらが発生しない製造方法を開発することが要求されている。

【0002】

【従来の技術】 図5は、従来の薄膜トランジスタマトリクスのTFT基板の平面図である。この図において、21はゲートバスライン、22はゲート電極、23はドレインバスライン、24はドレイン電極、25はソース電極、26は画素電極、27はコンタクトホール、28はストレージキャパシタバスラインである。

【0003】 従来の薄膜トランジスタマトリクスは、この図にその平面が示されているように、透明基板の上にゲートバスライン21に接続されたゲート電極22が形成され、その上にゲート絶縁膜、活性層となる半導体膜、チャネル保護膜が形成され、その上にドレインバスライン23に接続されたドレイン電極24とソース電極25、オーミックコンタクト層が形成され、このソース電極25にコンタクトホール27によって接続された画素電極26が形成され、ゲート電極22とドレイン電極24とソース電極25によって薄膜トランジスタが構成されている。なお、この従来の薄膜トランジスタマトリクスには、画素電極26の中にストレージキャパシタ(Cs)バスライン28が形成されている。なお、この薄膜トランジスタマトリクスの断面については後に製造方法とともに説明する。

【0004】 そして、このTFT基板と、対向電極、あるいは、対向電極とカラーフィルタを有する対向基板を間隔をおいて平行に配置し、この間隔中に液晶を注入して液晶表示装置が形成される。

【0005】 図6、図7、図8は、従来の薄膜トランジスタマトリクスの製造工程説明図であり、(A)～

(H)は各工程を示している。この図は、図5のX-X'上の断面(図面の符号は異なる)を示している。この図において、31は透明なガラス基板、32はゲート電極、33はストレージキャパシタ電極、34はSiN膜、35はa-Si膜、35_iはa-Si膜、36はSiN膜、36_iはチャネル保護膜、37は第1のレジスト膜、38は遮光膜、39は露光マスク、40はn⁺a-Si膜、40_i、40₂はn⁺a-Si膜、41はCr膜、41_iはソース電極、41₂はドレイン電極、42_i、42₂は第2のレジスト膜、43はSiN膜、43_i、43₂はコンタクトホール、44はITO膜である。この製造工程説明図によって従来の薄膜トランジスタマトリクスの製造方法を説明する。

20 【0006】 第1工程(図6(A)参照)

透明なガラス基板31の上の全面に、Al膜とTi膜を連続して形成し、このAl/Ti膜をパターンニングしてゲート電極32とゲートバスライン(以下「ゲート電極32」で代表させる)、ストレージキャパシタ電極33、ストレージキャパシタバスライン(以下「ストレージキャパシタ電極33」で代表させる)を形成する。

【0007】 第2工程(図6(B)参照)

その上の全面に、P-CVDによって、ゲート絶縁膜となる厚さ400nmのSiN膜34、半導体活性層となる厚さ10nmのa-Si膜35、チャネル保護膜となる厚さ10nmのSiN膜36を連続的に形成する。

【0008】 第3工程(図6(C)参照)

第2工程で形成したSiN膜34、a-Si膜35、SiN膜36の上にフォトレジスト膜を形成し、このフォトレジスト膜を、ガラス基板31の下方からゲート電極32とストレージキャパシタ電極33をマスクにして背面露光し、また、ガラス基板31の上から、ゲート電極32の上方に遮光膜38を有する露光マスク39をマスクにして正面露光して、現像することによってゲート電極32にセルフアラインして第1のレジスト膜37を残す。

40

【0009】 第4工程(図7(D)参照)

第3工程で形成した第1のフォトレジスト膜37をマスクにしてSiN膜36を選択的にエッチング除去してチャネル保護膜36_iを形成する。その上に、オーミックコンタクト層となるn⁺a-Si膜40、ソース電極とドレイン電極となるCr膜41を順次形成する。

【0010】 第5工程(図7(E)参照)

第4工程で形成したn⁺a-Si膜40、Cr膜41の上の全面にフォトレジスト膜を形成し、ソース電極とド

50

レイン電極の形状にパターンニングした第2のレジスト膜42₁、42₂を残す。

【0011】第6工程(図7(F)参照)

第5工程で形成した第2のレジスト膜42₁、42₂をマスクにしてプラズマエッチングによって、Cr膜41とn⁺a-Si膜40とa-Si膜35を順次エッチング除去して、ゲート絶縁膜であるSiN膜34の上に、半導体活性層であるa-Si膜35₁、オーミックコンタクト層であるn⁺a-Si膜40₁、40₂、ソース電極41₁とドレイン電極41₂を形成する。

【0012】第7工程(図8(G)参照)

第6工程で形成したソース電極41₁とドレイン電極41₂を含むSiN膜34の全面に保護膜となるSiN膜43をP-CVDによって形成し、このSiN膜43を選択的にエッチングしてソース電極41₁に達するコンタクトホール43₁と、ストレージキャパシタ電極33上のSiN膜34に達するコンタクトホール43₂を形成する。

【0013】第8工程(図8(H)参照)

第7工程で形成したコンタクトホール43₁、43₂を含むSiN膜43の全面にITO膜44をスパッタによって形成し、パターンニングすることによってストレージキャパシタ電極33の上に透明な画素電極を形成し、画素電極とソース電極41₁を接続する配線を形成する。

【0014】

【発明が解決しようとする課題】上記の従来技術で問題となる点は、第7工程において、保護膜となるSiN膜43を形成した後、ストレージキャパシタ33の上にコンタクトホール43₂を形成する時に、保護膜とゲート絶縁膜がともにSiN膜34、43で、エッチングレートが同じであるため、ストレージキャパシタの誘電体とするSiN膜34の膜厚を所定の値に制御することが困難である。

【0015】ストレージキャパシタの誘電体とするSiN膜34の膜厚にばらつきを生じると、液晶表示面内でストレージキャパシタの容量むらが生じ、そのため表示のむらを生じるため、表示品質が著しく劣化するという問題がある。本発明は、液晶表示むらが無い薄膜トランジスタマトリクスを製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】本発明にかかる薄膜トランジスタマトリクスを製造方法においては、ゲート電極、ソース電極、ドレイン電極、画素電極、ストレージキャパシタ電極およびそれらに接続されるバスラインを有する薄膜トランジスタマトリクスを製造方法において、薄膜トランジスタのチャネル保護膜を形成する工程で用いるフォトレジスト膜を該ストレージキャパシタ電極の上に残すことによって該ストレージキャパシタ電極の上のゲート絶縁膜の上に活性層を形成するための半導

体膜を残しておき、該半導体膜を、該半導体膜の上に形成される保護膜をエッチングして該ストレージキャパシタの対向電極を形成するためのコンタクトホールをエッチングによって形成する際のエッチングストッパーとする工程を採用した。

【0017】この場合、薄膜トランジスタのチャネル保護膜を形成する工程で用いるフォトレジスト膜をストレージキャパシタ電極上に残す方法として、該ストレージキャパシタ電極を露光マスクとして該フォトレジスト膜を露光することができる。

【0018】

【作用】図1は、本発明の薄膜トランジスタマトリクスを製造方法の原理説明図であり、(A)と(B)は各工程を示している。この図において、1は透明なガラス基板、2はゲート電極、3はストレージキャパシタ電極、4はSiN膜、5はa-Si膜、5₁、5₂はa-Si膜、6はSiN膜、6₂はSiN膜、7₁、7₂は第1のレジスト膜、8₁、8₂は遮光膜、9は露光マスク、6₁はチャネル保護膜、10₁、10₂はn⁺a-Si膜、11₁はソース電極、11₂はドレイン電極、13はSiN膜、13₁、13₂はコンタクトホール、14はITO膜である。この製造工程説明図によって本発明の薄膜トランジスタの製造方法の原理を説明する。

【0019】第1工程(図1(A)参照)

ガラス基板1の上にゲート電極2とストレージキャパシタ電極3を形成し、その上にSiN膜4、a-Si膜5、SiN膜6を連続的に形成する。その上に、フォトレジスト膜を形成し、このフォトレジスト膜を、ガラス基板1の下方からゲート電極2とストレージキャパシタ電極3をマスクにして背面露光し、また、ガラス基板1の上から、ゲート電極2の上とストレージキャパシタ電極3の上方に遮光膜8₂、8₁を有する露光マスク9を用いて正面露光し、現像することによってゲート電極2とストレージキャパシタ電極3にセルフアラインして第1のレジスト膜7₁、7₂を残す。

【0020】第2工程(図1(B)参照)

第1工程で形成した第1のフォトレジスト膜7₁、7₂をマスクにしてSiN膜6を選択的にエッチングしてチャネル保護膜6₁を形成し、その上に、n⁺a-Si膜、Cr膜を形成し、このn⁺a-Si膜、Cr膜をパターンニングして、半導体活性層であるa-Si膜5₁、オーミックコンタクト層であるn⁺a-Si膜10₁、10₂、ソース電極11₁とドレイン電極11₂を形成し、ストレージキャパシタ電極3の上に、a-Si膜5₂とSiN膜6₂の積層体を形成する。

【0021】その上の全面に保護膜となるSiN膜13を形成し、このSiN膜13にソース電極11₁に達するコンタクトホール13₁と、ストレージキャパシタ電極3上のa-Si膜5₂に達するコンタクトホール13₂を形成する。その上にITO膜14を形成し、パター

ニングして、ストレージキャパシタ電極 3 の上に画素電極を形成し、画素電極とソース電極 1₁ を接続する配線を形成する。

【0022】本発明においては、この第2工程において、ストレージキャパシタ電極 3 の上のコンタクトホール 1₃ をエッチングによって形成する際、a-Si 膜 5₂ がエッチングストッパーとなり、余分のゲート絶縁膜 4 がエッチングされることがないため、膜厚の制御性がよくなる。したがって、ストレージキャパシタのばらつきが小さくなり、液晶表示装置の表示むらが無くなり、表示品質が向上する。

【0023】

【実施例】以下、本発明の実施例を説明する。図 2、図 3、図 4 は、本発明の一実施例の薄膜トランジスタマトリクス of 製造工程説明図で (A) ~ (H) は各工程を示している。この図において、1 は透明なガラス基板、2 はゲート電極、3 はストレージキャパシタ電極、4 は SiN 膜、5 は a-Si 膜、5₁、5₂ は a-Si 膜、6 は SiN 膜、6₂ は SiN 膜、7₁、7₂ は第 1 のレジスト膜、8₁、8₂ は遮光膜、9 は露光マスク、6₁ はチャンネル保護膜、10、10₁、10₂ は n⁺a-Si 膜、11 は Cr 膜、11₁ はソース電極、11₂ はドレイン電極、12₁、12₂ は第 2 のレジスト膜、13 は SiN 膜、13₁、13₂ はコンタクトホール、14 は ITO 膜である。この製造工程説明図によって本発明の一実施例の薄膜トランジスタの製造方法を説明する。

【0024】第 1 工程 (図 2 (A) 参照)

透明なガラス基板 1 の上に Al/Ti 膜を形成し、ゲート電極 2 とゲートバスライン (以下「ゲート電極 2」で代表させる) とストレージキャパシタ電極 3、ストレージキャパシタバスライン (以下「ストレージキャパシタ電極 3」で代表させる) を形成する。

【0025】第 2 工程 (図 2 (B) 参照)

その上に P-CVD によって、ゲート絶縁膜となる厚さ 400 nm の SiN 膜 4、半導体活性層となる厚さ 10 nm の a-Si 膜 5、チャンネル保護膜となる厚さ 10 nm の SiN 膜 6 を連続的に形成する。

【0026】第 3 工程 (図 2 (C) 参照)

第 2 工程で形成したチャンネル保護膜である SiN 膜 4、活性層である a-Si 膜 5、チャンネル保護層である SiN 膜 6 の上に、フォトリソレジスト膜を形成し、このフォトリソレジスト膜を、ガラス基板 1 の下からゲート電極 2 とストレージキャパシタ電極 3 をマスクにして背面露光し、また、ガラス基板 1 の上から、ゲート電極 2 の上に遮光膜 8₁ と、ストレージキャパシタ電極 3 の上方に遮光膜 8₂ を有する露光マスク 9 を用いて正面露光し、現像することによってゲート電極 2 とストレージキャパシタ電極 3 にセルフアラインして第 1 のレジスト膜 7₁、7₂ を残す。

【0027】このように、従来の薄膜トランジスタの製

造方法では、SiN 膜 36 をパターニングしてチャンネル保護膜 36₁ を形成する際、ゲート電極 32 とストレージキャパシタ電極 33 をマスクとする背面露光と、ゲート電極 32 の上方に遮光膜 38 を有する露光マスク 39 を用いて正面露光することによって、チャンネル保護膜 36₁ を形成する部分だけに第 1 のレジスト膜 37 が残るような露光を施したが (図 6 (C) 参照)、この実施例では、この正面露光のフォトマスク 9 を一部変更して、ストレージキャパシタ電極 3 の上にもレジスト膜 7₂ を残す。

【0028】第 4 工程 (図 3 (D) 参照)

第 3 工程で形成した第 1 のフォトリソレジスト膜 7₁、7₂ をマスクにして SiN 膜 6 を選択的にエッチングしてチャンネル保護膜 6₁ を形成する。その上に、オーミックコンタクト層となる n⁺a-Si 膜 10、ソース電極とドレイン電極となる Cr 膜 11 を形成する。

【0029】第 5 工程 (図 3 (E) 参照)

第 4 工程で形成した n⁺a-Si 膜 10、Cr 膜 11 の上の全面にフォトリソレジスト膜を形成し、ソース電極とドレイン電極の形状にパターニングした第 2 のレジスト膜 12₁、12₂ を残す。

【0030】第 6 工程 (図 7 (F) 参照)

第 5 工程で形成した第 2 のレジスト膜 12₁、12₂ をマスクにしてプラズマエッチングすることにより、Cr 膜 11 と n⁺a-Si 膜 10 と a-Si 膜 5 を順次エッチング除去して、ゲート絶縁膜である SiN 膜 4 の上に、半導体活性層である a-Si 膜 5₁、オーミックコンタクト層である n⁺a-Si 膜 10₁、10₂、ソース電極 11₁ とドレイン電極 11₂ を形成し、ストレージキャパシタ電極 3 の上に、a-Si 膜 5₂ と SiN 膜 6₂ の積層体を形成する。

【0031】第 7 工程 (図 4 (G) 参照)

第 6 工程で形成したソース電極 11₁ とドレイン電極 11₂、ストレージキャパシタ電極 3 上の a-Si 膜 5₂ と SiN 膜 6₂ の積層体を含む SiN 膜 4 の全面に保護膜となる SiN 膜 13 を P-CVD によって形成し、この SiN 膜 13 を選択的にエッチングしてソース電極 11₁ に達するコンタクトホール 13₁ と、ストレージキャパシタ電極 3 上の a-Si 膜 5₂ に達するコンタクトホール 13₂ を形成する。この工程において、ストレージキャパシタ電極 3 の上のコンタクトホール 13₂ をエッチングによって形成する際、a-Si 膜 5₂ がエッチングストッパーとなり、余分のゲート絶縁膜 4 がエッチングされることがなくなる。

【0032】第 8 工程 (図 4 (H) 参照)

第 7 工程で形成したコンタクトホール 13₁、13₂ を含む SiN 膜 13 の全面に ITO 膜 14 をスパッタによって形成し、パターニングして、ストレージキャパシタ電極 3 の上に画素電極を形成し、画素電極とソース電極 11₁ を接続する配線を形成する。

【0033】

【発明の効果】以上説明したように、本発明によれば、チャンネル保護層であるSiN膜6をパターンニングする際に用いるフォトリソグ膜を正面露光するときの露光マスクを一部変更するだけで、ストレージキャパシタの容量のバラツキを均一化することができ、液晶表示面の表示むらを解消し、表示品質を向上することができる。

【図面の簡単な説明】

【図1】本発明の薄膜トランジスタマトリクス製造法の原理説明図であり、(A)と(B)は各工程を示している。

【図2】本発明の一実施例の薄膜トランジスタマトリクス製造工程説明図(1)であり、(A)～(C)は各工程を示している。

【図3】本発明の一実施例の薄膜トランジスタマトリクス製造工程説明図(2)であり、(D)～(F)は各工程を示している。

【図4】本発明の一実施例の薄膜トランジスタマトリクス製造工程説明図(3)であり、(G)、(H)は各工程を示している。

【図5】従来の薄膜トランジスタマトリクスのTFT基板の平面図である。

【図6】従来の薄膜トランジスタマトリクス製造工程説明図(1)であり、(A)～(C)は各工程を示している。

【図7】従来の薄膜トランジスタマトリクス製造工程*

*説明図(2)であり、(D)～(F)は各工程を示している。

【図8】従来の薄膜トランジスタマトリクス製造工程説明図(3)であり、(G)、(H)は各工程を示している。

【符号の説明】

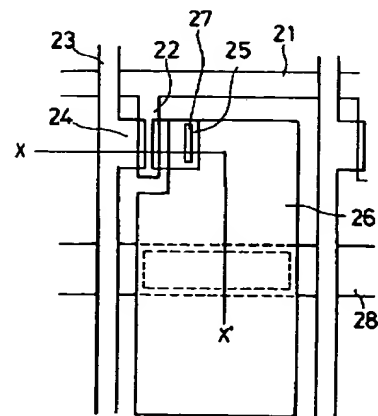
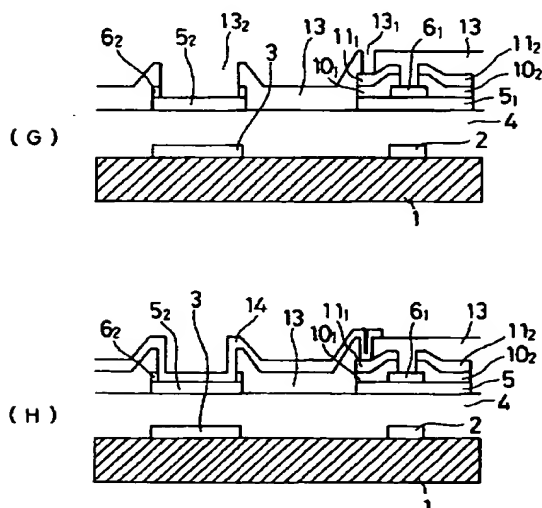
- 1 透明なガラス基板
- 2 ゲート電極
- 3 ストレージキャパシタ電極
- 4 SiN膜
- 5 a-Si膜
- 5₁, 5₂ a-Si膜
- 6 SiN膜
- 6₂ SiN膜
- 7₁, 7₂ 第1のレジスト膜
- 8₁, 8₂ 遮光膜
- 9 露光マスク
- 6₁ チャンネル保護膜
- 10, 10₁, 10₂ n⁺ a-Si膜
- 11 Cr膜
- 11₁ ソース電極
- 11₂ ドレイン電極
- 12₁, 12₂ 第2のレジスト膜
- 13 SiN膜
- 13₁, 13₂ コンタクトホール
- 14 ITO膜

【図4】

【図5】

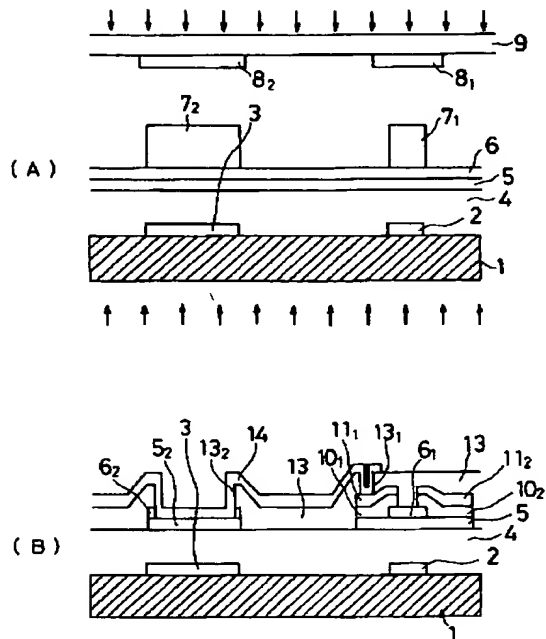
本発明の一実施例の薄膜トランジスタマトリクス製造工程説明図(3)

従来の薄膜トランジスタマトリクスのTFT基板の平面図



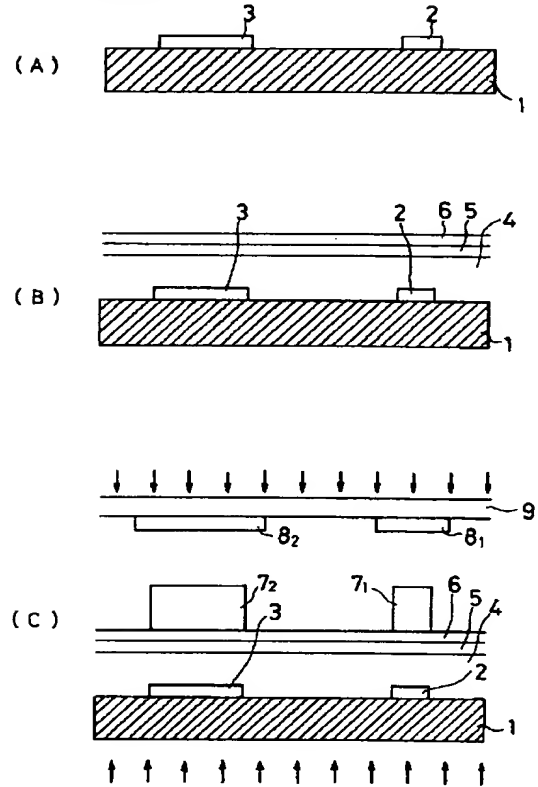
【図 1】

本発明の薄膜トランジスタマトリクス製造方法の原理説明図



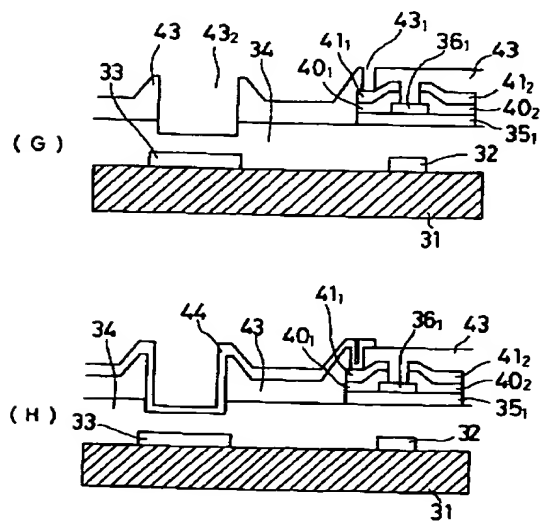
【図 2】

本発明の実施例の薄膜トランジスタマトリクスの製造工程説明図 (1)



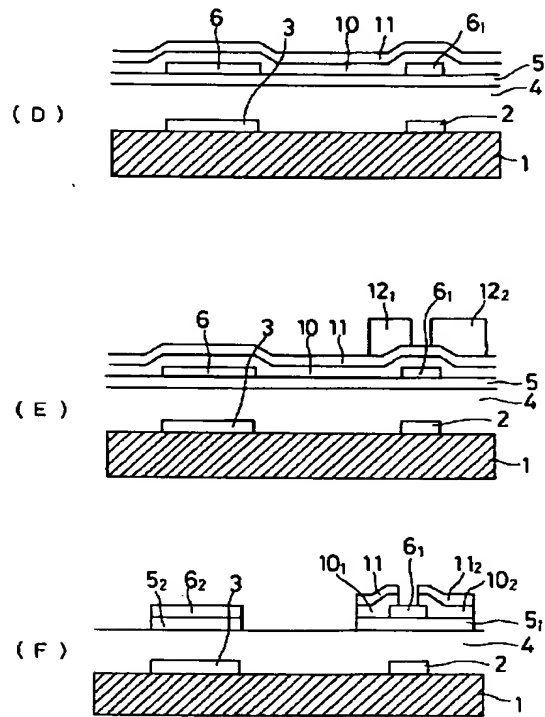
【図 8】

従来の薄膜トランジスタマトリクスの製造工程説明図 (3)



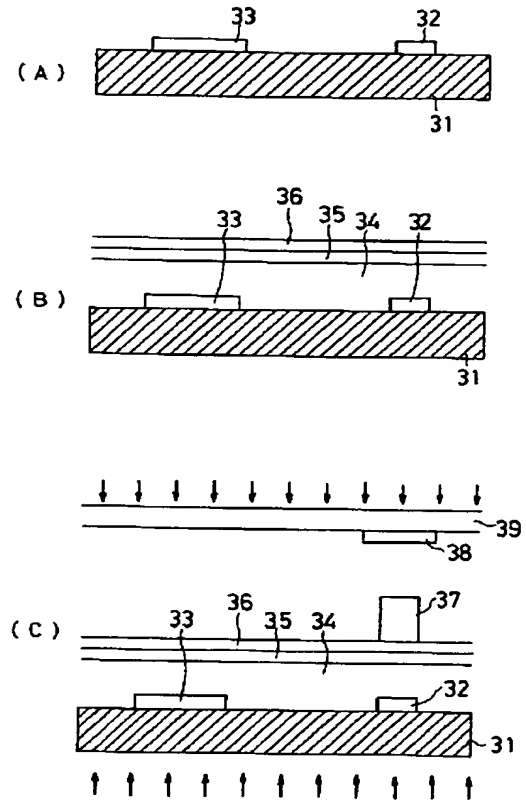
【図 3】

本発明の一実施例の薄膜トランジスタマトリクス
の製造工程説明図 (2)



【図 6】

従来の薄膜トランジスタマトリクス
の製造工程説明図 (1)



【図7】

従来の薄膜トランジスタマトリクス製造工程説明図(2)

